

⑫ 公開特許公報(A)

昭60-69896

⑮ Int. Cl.⁴
G 11 C 11/34識別記号
1 0 1庁内整理番号
8320-5B

⑬ 公開 昭和60年(1985)4月20日

審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 ダイナミック型の半導体記憶装置

⑯ 特 願 昭58-176584

⑰ 出 願 昭58(1983)9月24日

⑱ 発 明 者 渡 辺 重 佳 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社多摩
川工場内⑲ 発 明 者 舩 岡 富 士 雄 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社多摩
川工場内

⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外 2 名

明 細 書

1. 発明の名称

ダイナミック型の半導体記憶装置

2. 特許請求の範囲

(1) 半導体基板へ基板電位を与える基板電位発生回路を内蔵したダイナミック型の半導体メモリにおいて、上記メモリの動作を制御するために外部から与えられる外部信号により上記基板電位発生回路の動作を制御することを特徴とするダイナミック型の半導体記憶装置。

(2) 特許請求の範囲第1項記載のものにおいて、基板電位発生回路は自励発振器の出力を第1の増幅器を介して与えられる第1のチャージポンプ部と、メモリの動作を制御するために外部から与えられる外部信号を第2の増幅器を介して与えられる第2のチャージポンプ部とを具備することを特徴とするダイナミック型の半導体記憶装置。

(3) 特許請求の範囲第1項記載のものにおいて、外部信号はロウアドレスセレクト信号(\overline{RAS})

を用いることを特徴とするダイナミック型の半導体記憶装置。

(4) 特許請求の範囲第2項記載のものにおいて、第2の増幅器へ外部信号の切り換え時に複数発のパルス信号を与えて制御することを特徴とするダイナミック型の半導体記憶装置。

(5) 特許請求の範囲第2項記載のものにおいて、第2の増幅器へロウアドレスセレクト信号が立下り有効になった後立上るまでの間に複数発のパルス信号を与えて制御することを特徴とするダイナミック型の半導体記憶装置。

(6) 特許請求の範囲第1項乃至第4項記載のものにおいて、第2の増幅器を外部入力信号の切り換え時に変化する信号で制御することを特徴とするダイナミック型の半導体記憶装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明はダイナミック型の半導体記憶装置に係り、特に消費電力の低減に関する。

〔発明の技術的背景〕

従来、ダイナミック型のランダムアクセスメモリ、所謂ダイナミックRAMでは動作時にジャンクションがフォワードになることを防ぎ、かつジャンクション容量を小さくして動作速度を高速化するために基板電位発生回路を設けて基板を負極性の電位とするようにしたものがある。

第1図はこのような基板電位発生回路の一例を示すブロック図で、たとえばリングオシレーターで構成した自励発振器1の出力 f_1 を増幅器2へ与えて波形整形する。そして増幅器2の出力をチャージポンプ部3へ与えて基板電位 V_{bb} を得るようにしていた。このチャージポンプ部3は増幅器2の出力をコンデンサ3Aを介して第1、第2のダイオード3B、3Cのカソードおよびアノードへ与え、第1のダイオード3Bから基板電位 V_{bb} を得、第2のダイオード3Cのカソードを基準電位に接続するようにしている。

〔背景技術の問題点〕

しかしながらこのようなものでは、基板電位

発生回路の負荷特性は、たとえば第2図に示すようになる。すなわち第2図において、縦軸は基板電位発生回路が汲み出し得るポンプ電流で、 I_{max} はその最大電流である。また V_{bb} は基板電位、 V_{bbDC} はその最大電圧である。そしてこのような負荷特性の基板電位発生回路を用いて基板にリークを生じると、それによって基板電位 V_{bb} が低下するために充分な余裕をみてポンプ電流 I_{pump} の最大値 I_{max} を設定しておく必要がある。ところでポンプ電流 I_{pump} の最大値を大きくするためには、自励発振器1の発振周波数 f を高くし、また増幅器2の出力信号 V を大きくし、また、チャージポンプ部3のカップリング容量 C_p を大きくすればよい。しかしながらこのようにすると、基板電位発生回路のデイモンションが大きくなりプリチャージ時の消費電流 I_{cc2} が大きくなる。すなわち、ダイナミックRAMの状態がアクティブであるか、プリチャージであるかに係わらずポンプ電流 I_{pump} を多く流そうとすると、プリチャージ時の消費電流

I_{cc2} も増大する欠点がある。

〔発明の目的〕

本発明は上記の事情に鑑みてなされたもので、プリチャージ時の消費電流を大幅に減少することができるダイナミック型の半導体記憶装置を提供することを目的とするものである。

〔発明の概要〕

すなわち本発明は、ダイナミックRAMの動作を制御する信号に基づいて、基板電位発生回路の動作を制御することの特徴とするものである。

〔発明の実施例〕

以下本発明の一実施例を第3図に示すブロック図、第4図に示す負荷特性図を参照して詳細に説明する。第3図において図中11は自励発振器でその発振周波数 f_1 は、たとえば第1図に示す自励発振器と同じでよい。そして12は自励発振器11の出力を増幅し、波形整形する第1の増幅器である。そして第1の増幅器12の出力 V_1 を第1のチャージポンプ部13へ与えて基板電位 V_{bb} を得るようにしている。この第

1のチャージポンプ部13は、第1の増幅器12の出力をコンデンサ13Aを介してダイオード13B、13Cのカソードおよびアノードへ与え、ダイオード13Bのアノードから基板電位 V_{bb} を得、ダイオード13Cのカソードを基準電位に接続するようにしている。そして14は第2の増幅器で、当該ダイナミックRAMの動作を制御する信号を増幅し、波形整形して第2のチャージポンプ部15へ与える。この第2のチャージポンプ部15は、第2の増幅器14の出力 V_2 をコンデンサ15Aを介してダイオード15B、15Cのカソードおよびアノードへ与え、ダイオード15Bのアノードを第1のチャージポンプ部13の出力に並列に接続し、ダイオード15Cのカソードを基準電位に接続している。

なおここで第1のチャージポンプ部13のカップリングコンデンサ13Aは第1図に示すチャージポンプ部3のカップリングコンデンサ3Aよりも小さな容量のものを用いる。したがって、

第3図における第1の増幅器12は第1図における増幅器2よりも小さなディメンジョンのものでよい。

また第2のチャージポンプ部15のカップリングコンデンサ15Aは、第1のチャージポンプ部13のカップリングコンデンサ13Aの容量との和が、略第1図に示すチャージポンプ部3のカップリングコンデンサ3Aの容量に等しくなるようにすればよい。したがって第2の増幅器14のディメンジョンは第1図に示す増幅器2に比して少しだけ小さくすればよい。

第4図は上記実施例の負荷特性を示す図である。すなわち、ダイナミックRAMにおいて、基板電位 V_{bb} へのリークの主原因となる基板電流はアクティブ動作を始めるときからアクティブ動作が終了するまでの期間に多量に流れ込む。これに対してプリチャージ期間はプリチャージ動作の開始直後を除いて基板電流はほとんど流れない。したがって、基板電位発生回路のポンプ電流 I_{pump} はプリチャージ時はわずかでよく、

な電流容量 I_{add} で基板電位へのリーク電流を吸い込む。またプリチャージ時には第1の増幅器12のみを動作させることにより消費電流を大幅に減少させるようにしている。したがって、全体の消費電流を著しく少なくすることができる。

第5図は上記実施例の第2の増幅器14、第2のチャージポンプ部15の具体例を示す回路図である。すなわち図中 V_{cc} 、 V_{ss} はそれぞれ電源および接地である。なお第2の増幅器14の構成は、一般的なダイナミックRAMに用いるクロックジェネレータと同様の構成としている。すなわち、トランジスタ14a~14k、コンデンサ14mからなる増幅器14は、外部からダイナミックRAMを制御するために与えるロウアドレスセレクト信号 \overline{RAS} に同期し、かつこの \overline{RAS} に遅れて変化する信号 ϕ_A 、 ϕ_D により動作する。なお信号 ϕ_A は増幅器14への入力信号、 ϕ_D はリセット信号である。そしてプリチャージ時には信号 ϕ_A は“L”レベル、信号 ϕ_D は“H”

レベルの大きな流れ込み電流に対応した能力があればよい。したがって、第4図において第1の増幅器12の出力で駆動される第1のチャージポンプ部13は図示+1で示すように小さなポンプ電流 I_{pump1} を有するようにする。また第2の増幅器14の出力で駆動される第2のチャージポンプ部15は図示+2で示すように大きなポンプ電流 I_{pump2} を有するようにする。そして第2の増幅器14へはダイナミックRAMの動作を制御する信号を与えてアクティブ動作の期間だけ駆動するようにしている。一方、第1の増幅器12は自励発振器11の出力により常時、動作させて第4図に示すポンプ電流 I_{pump1} を流すようにしている。したがってアクティブ時には第1、第2のチャージポンプ部13、15のポンプ電流の加算値 I_{add} が基板電位 V_{bb} から第1、第2のチャージポンプ部13、15へ流れるようにしている。

すなわちダイナミックRAMのアクティブ時には第1、第2の増幅器12、14は並列に大き

レベルとし、増幅器14の出力ノード14mを電源電圧 V_{cc} にプリチャージする。この状態では増幅器14にはほとんど電流は流れない。すなわち \overline{RAS} が“H”レベルでプリチャージの状態では基板電位発生回路の消費電流を大幅に低減することができる。

一方、 \overline{RAS} が“H”レベルから“L”レベルへ変化してアクティブ状態になると、信号 ϕ_A は“L”レベルから“H”レベルへ変化し、信号 ϕ_D は“H”レベルから“L”レベルへ変化する。したがって、増幅器14の出力ノード14aは“H”から“L”へ変化し、チャージポンプ部15が動作する。そしてこの第2のチャージポンプ部15のポンプ電流 I_{pump2} が第1のチャージポンプ部13のポンプ電流 I_{pump1} に加わりリーク電流が増大しても基板電位 V_{bb} を所定電圧に保持することができる。すなわちアクティブ時には、チャージポンプ部15のカップリングコンデンサ15Aの出力側のノード15aは、増幅器14の出力を与えられて第2のチャージ

ポンプ部15が動作し、基板電位 V_{bb} を低下させることなく所定電位に保持させる。

なおチャージポンプ部15のトランジスタ15bは第3図におけるダイオード15Bに相当し、またトランジスタ15c, 15d, 15eは第3図におけるダイオード15Cに相当する。

そして第6図は第5図に示す回路の動作を説明する波形図で \overline{RAS} (第6図(a))に遅れて変化し、かつ逆相および同相の信号 ϕ_A , ϕ_D (第6図(b)(c))を得る。そしてこの信号 ϕ_A , ϕ_D により増幅器14を制御し、出力ノード14の変化をカップリングコンデンサ15Aを介してチャージポンプ部15へ与える。そしてアクティブ時だけ、第2のチャージポンプ部15が動作して基板電位 V_{bb} へ流れ込むリーク電流が増大しても十分に吸い出すことができる。

なお、第5図に示す回路は \overline{RAS} が変化するときだけ動作して電流を消費し、それ以外の期間は電流は流れない。したがって、 \overline{RAS} が“H”レベルの期間が長い程、消費電流を大幅に低減

することができる。また \overline{RAS} が“H”レベルの期間の消費電流も、たとえば第1図に示すような従来のものに比して少なくできる。

また第5図に示すような回路構成では、第6図に示す波形図のように \overline{RAS} が“L”レベルに変化した後、1回だけチャージポンプ部15が動作するが、この動作でアクティブ時に増加する基板電位 V_{bb} へのリーク電流を十分に吸い出すことができる。

なお、 \overline{RAS} が“L”レベルに変化した後、チャージポンプ部15を1回だけ動作させるものだけでなく、複数回、動作させるようにしてもよい。すなわちこの場合、 \overline{RAS} に同期し、かつ所望回数だけ変化する入力信号 ϕ_A 、リセット信号 ϕ_D を得る必要がある。第7図乃至第9図はこのような信号を得る回路を示す図で、 \overline{RAS} の変化後、チャージポンプ部を2回ずつ動作させるために入力信号 ϕ_A およびリセット信号 ϕ_D を生成する回路を示すものである。

すなわち、第10図に示す波形図のように、

\overline{RAS} (第10図(a))が“L”レベルに変化し、アクティブ状態になると、順次に立上る内部クロック信号 $\phi_{in1} \sim \phi_{in4}$ (第10図(b))を得る。そしてこの内部クロック信号 $\phi_{in1} \sim \phi_{in4}$ と \overline{RAS} と同相のクロック信号 ϕ_p (第10図(c))を第7図、第8図に示す回路へ与えてクロック信号 ϕ_1 (第10図(e))、 ϕ_3 (第10図(f))を得る。そして上記クロック信号 ϕ_1 , ϕ_3 および \overline{RAS} の逆相のクロック信号 ϕ_{ras} を第9図に示す回路へ与えて \overline{RAS} の立下り後、2回ずつ変化する入力信号 ϕ_A (第10図(g))、リセット信号 ϕ_D (第10図(h))を得る。

すなわち、第7図に示す回路はトランジスタ16a~16dからなり、内部クロック ϕ_{in1} , ϕ_{in2} およびクロック信号 ϕ_p によりクロック信号 ϕ_1 を生成する。同様に第8図に示す回路は、トランジスタ17a~17dからなり、内部クロック ϕ_{in3} , ϕ_{in4} およびクロック信号 ϕ_p によりクロック信号 ϕ_3 を生成する。

そして第9図に示す回路はトランジスタ18a

~18iからなりクロック信号 ϕ_1 , ϕ_2 , ϕ_p , ϕ_{ras} からクロック信号 ϕ_A , ϕ_D を生成する。すなわちトランジスタ18a~18iはクロック信号 ϕ_1 , ϕ_2 を入力とするOR回路で、この出力 ϕ_A はクロック信号 ϕ_1 , ϕ_3 が“H”レベルのときに“H”となる。そして、トランジスタ18g~18iで上記出力 ϕ_A の反転信号 ϕ_D を得るようにしている。

このようにすれば \overline{RAS} (第10図(a))が“L”になってから2回ずつ変化するクロック信号 ϕ_A (第10図(g))およびその反転信号 ϕ_D (第10図(h))が得られる。そしてこのクロック信号 ϕ_A , ϕ_D を第5図に示す増幅器14の対応する入力へ与えれば、チャージポンプ部15のノード14m, 15aは第10図(i)(j)に示すように変化し、 \overline{RAS} が“L”レベルになる毎に2回ずつ基板電位 V_{bb} へリーク電流を吸い出す。なおこのようにすれば \overline{RAS} が“L”レベルになる毎に2回ずつチャージポンプ部15が動作するので基板電位 V_{bb} へのリーク電流の増加にも対

応できる。なお、上記実施例でチャージポンプ部を動作させるタイミングは、ダイナミックRAM内のクロック信号によって決定しているので任意に設定することができる。

しかししてこのようにすれば基板電位 V_{bb} レベルに影響を与えるリーク電流はアクティブ時に多くプリチャージ時には少ないことに着目し、アクティブ時だけ基板電位発生回路の出力を増加させ、それによって全体の消費電流を大幅に減少することができる。一方、半導体集積回路の高集積化とともに高速化、低消費電力化が進められ、スタティック型メモリではC-MOS化によって対応している。これに対してダイナミック型メモリにおいても、消費電力の低減を図ることが望まれていた。しかし従来ダイナミックRAMで消費電力の低減を図ることは極めて困難であったが、上記実施例によれば大幅に消費電力を低減することができる。たとえば従来のダイナミックRAMでプリチャージ時の消費電流は、基板電位発生回路以外の部分で約0.6mA、

自動発振器部分で約0.4 mA、増幅器部分で約1.6 mA程度で合計約2.6 mAであった。これに対して上記実施例では増幅器部分の消費電流は約0.2 mA程度にでき合計約1.2 mAの電流を消費するにすぎない。したがって、上記実施例に加えて、さらにプリチャージ時の基板電位発生回路および自動発振器部分の消費電流の低減化が進めば全消費電流を1 mA以下とすることも可能である。そして全消費電流を1 mA以下とすればダイナミックRAMの内容を、たとえばバッテリーによりバックアップすることも可能になり、この結果ダイナミックRAMの市場を大幅に拡大でき、たとえばバッテリーバックアップを行なう用途にも使用することができる。

なお本発明は上記実施例に限定されるものではなく、たとえば基板電位 V_{bb} へのリーク電流がビット線の充電及び放電の時のみ増大する場合は、 \overline{RAS} の切換時に第2のチャージポンプ部15を1回ずつ動作させるようにしてもよい。この場合、たとえば第11図に示すブロック図

のように \overline{RAS} を単発パルス発生回路19へ与え \overline{RAS} の切換を検出する \overline{RAS} -DT に応動してクロック信号 ϕ_A を得、さらにこの信号 ϕ_A をダイナミックなインバータ20により反転してクロック信号 ϕ_B を得るようにすればよい。そして上記クロック信号 ϕ_A 、 ϕ_B を、たとえば第5図に示すような増幅器14へ入力信号およびリセット信号として与える。このようにすれば、たとえば第12図に示す波形図のように \overline{RAS} (第12図(a)) が立下り、有効になると、その切換りの検出信号 \overline{RAS} -DT に応動して1発のパルス信号が出力されそれによって、クロック信号 ϕ_A (第12図(b))、 ϕ_B (第12図(c)) を生成することができる。したがって第5図に示すチャージポンプ部15のノード14m (第12図(d))、15a (第12図(e)) は \overline{RAS} の切換り毎に立下り、それによって基板電位 V_{bb} へのリーク電流を汲み出すことができる。このようなものでは、特に、基板電位 V_{bb} へのリーク電流がビット線の充電および放電時にのみ増大する場合に有効である。

また本発明は、 \overline{RAS} が "L" レベルになり有効になった後、ビット線の充電が終了して "H" レベルになるまでの間に複数発のパルスを第2の増幅器14へ与えて第2のチャージポンプ部15を駆動するようにしてもよい。この場合、たとえば第13図に示すブロック図のように \overline{RAS} を複数パルス発生回路21およびタイマ22へ与え、このタイマ22の設定時間毎に複数発、たとえば4発のパルスを発生してクロック信号 ϕ_A を得、さらにこの信号 ϕ_A をダイナミックなインバータ23へ与えて反転し、クロック信号 ϕ_B を得るようにすればよい。そしてこのクロック信号 ϕ_A 、 ϕ_B を、たとえば第5図に示すような増幅器14へ与えればよい。このようにすれば第14図に示す波形図のように、 \overline{RAS} (第14図(a)) が立下り有効になると、クロック信号 ϕ_A 、 ϕ_B (第14図(b)(c)) が4発ずつ出力される。そしてこの信号 ϕ_A 、 ϕ_B を第2の増幅器14へ与えて第2のチャージポンプ部15を駆動することにより、チャージポンプ部15のノード

14m(第14図(d))、15a(第14図(e))はRASの立下り毎に4回ずつ変化し、それによって基板電位 V_{bb} へのリーク電流を汲み出すことができる。このようにすれば、特に基板電位 V_{bb} へのリーク電流がメモリのアクティブ時に、突然に流れる場合に有効である。また第13図に示すような構成は、ダイナミックRAM内にタイマを有するメモリの場合は、このタイマを用いることにより容易に実現することができる。
〔発明の効果〕

以上のように本発明によれば、特にプリチャージ状態における基板電位発生回路の消費電流を大幅に減少することができ、それによって全体の消費電力を低減し、信頼性を向上することができるダイナミック型の半導体記憶装置を提供することができる。

4. 図面の簡単な説明

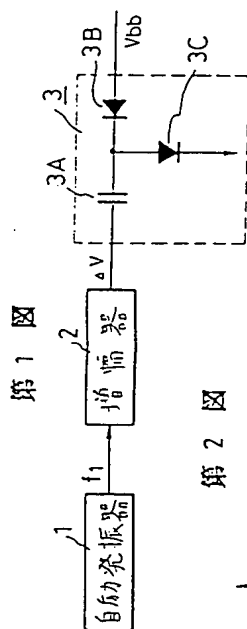
第1図は従来の基板電位発生回路の一例を示すブロック図、第2図は第1図に示す基板電位発生回路の負荷特性を示す図、第3図は本発明

の一実施例を示すブロック図、第4図は第3図に示す基板電位発生回路の負荷特性を示す図、第5図は上記実施例の第2の増幅器および第2のチャージポンプ部を示す回路図、第6図は第5図に示す回路の動作を説明する波形図、第7図、第8図、第9図は第5図に示す回路へ与える本発明の他の実施例のクロック信号 ϕ_1 、 ϕ_2 および ϕ_A 、 ϕ_D を生成する回路図、第10図(a)~(j)は第7図乃至第9図に示す回路で得られたクロック信号を第5図に示す回路へ与えた動作を示す波形図、第11図は本発明の他の実施例のクロック信号 ϕ_A 、 ϕ_D を得る回路のブロック図、第12図(a)~(e)は第11図に示す回路で得たクロック信号 ϕ_A 、 ϕ_D による動作を説明する波形図、第13図は本発明のさらに他の実施例のクロック信号 ϕ_A 、 ϕ_D を得る回路のブロック図、第14図(a)~(e)は第13図に示す回路で得たクロック信号 ϕ_A 、 ϕ_D による動作を説明する波形図である。

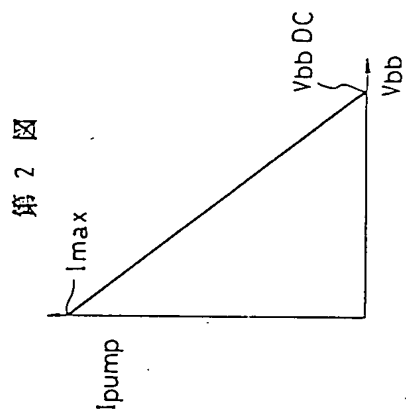
11…自励発振器、12…第1の増幅器、13

…第1のチャージポンプ部、14…第2の増幅器、15…第2のチャージポンプ部。

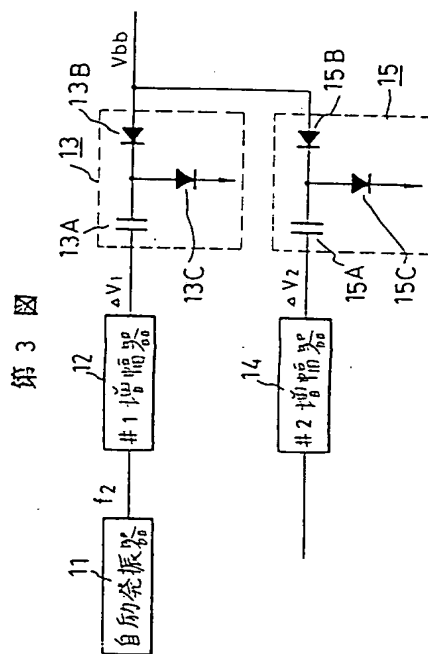
出願人代理人 弁理士 鈴 江 武 彦



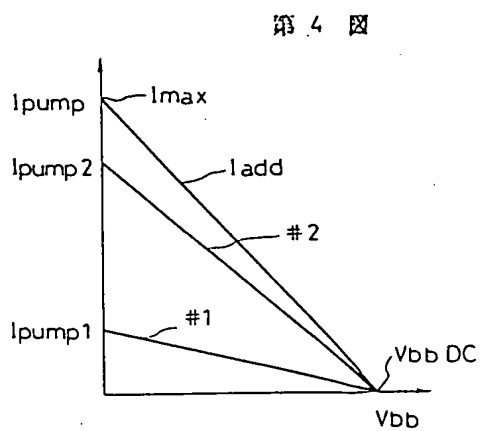
第 1 区



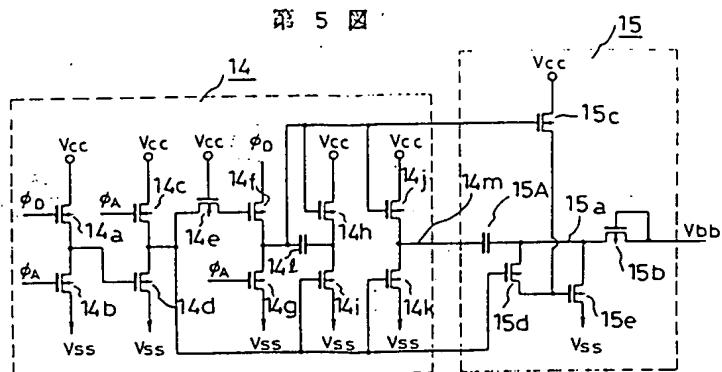
第 2 区



第 3 圖

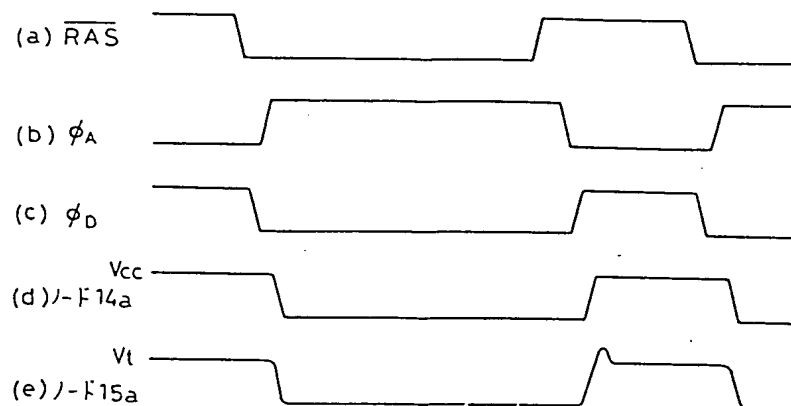


第 4 回

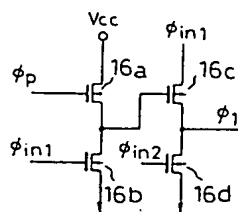


第 5 図

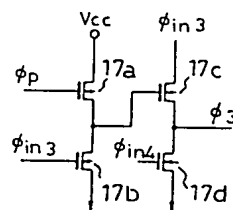
第 6 図



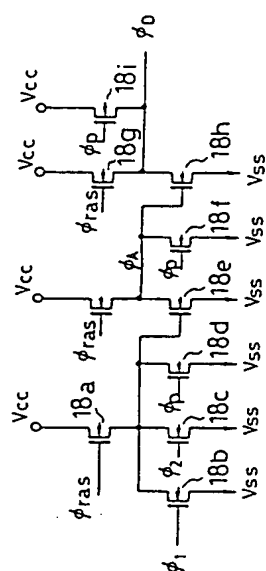
第 7 圖



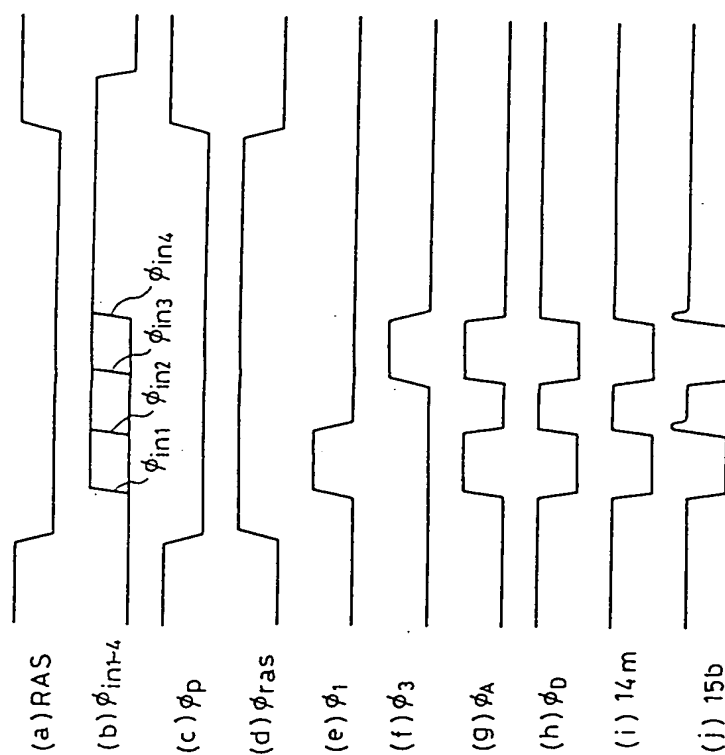
第 8 圖



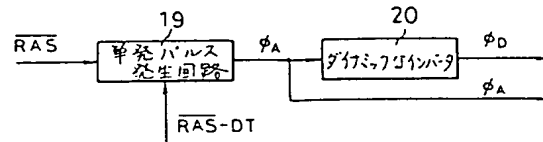
第 6 图



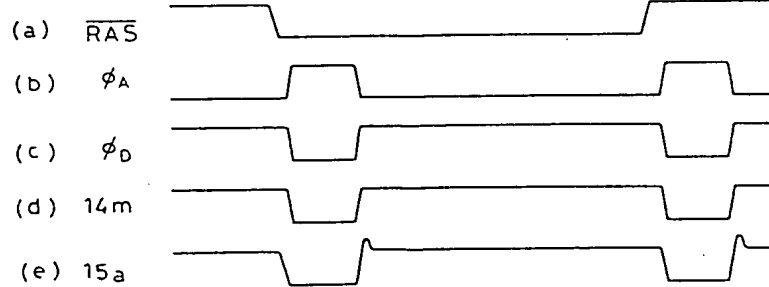
第 10 区



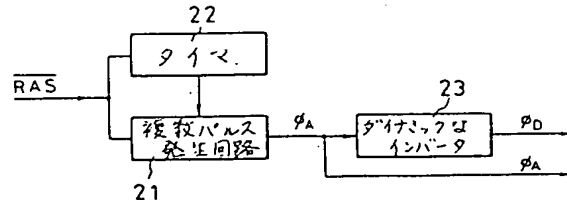
第11図



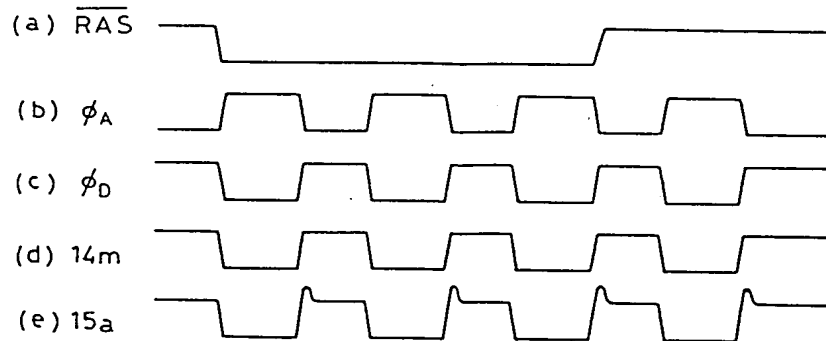
第12図



第13図



第14図



37
AN - 85-069896

TI - DYNAMIC SEMICONDUCTOR STORAGE DEVICE

PA - (2000307) TOSHIBA CORP

IN - WATANABE, SHIGEYOSHI; MASUOKA, FUJIO

PN - 85.04.20 J60069896, JP 60-69896

AP - 83.09.24 83JP-176584, 58-176584

SO - 85.08.24 SECT. P, SECTION NO. 382; VOL. 9, NO. 207, PG. 156.

IC - G11C-011/34

JC - 45.2 (INFORMATION PROCESSING--Memory Units); 42.2
(ELECTRONICS--Solid State Components)

AB - PURPOSE: To reduce considerably the current consumption for precharging by controlling the operation of a substrate potential generating circuit on a basis of the signal which controls the operation of a dynamic RAM.

CONSTITUTION: The first charge pump part 13 driven by the output of the first amplifier 12 has a small pump current $I(\text{sub pump})1$, and the second charge pump part 15 driven by the output of the second amplifier 14 has a large pump current $I(\text{sub pump})2$. The signal which controls the operation of the dynamic RAM is given to the second amplifier 14 to drive it only in the active operation time, and the first amplifier 12 is always operated by the output of a self-oscillator 11 to flow the pump current $I(\text{sub pump})1$. Consequently, an added value $I(\text{sub add})$ of pump currents of the first and the second charge pump parts 13 and 15 is flowed from a substrate potential $V(\text{sub bb})$ to the first and the second charge pump parts 13 and 15 in the active operation time. At a precharging time, only the first amplifier 12 is operated to reduce the current consumption considerably.